

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-305539

(43)Date of publication of application : 18.10.2002

(51)Int.CL

H04L 12/56  
G11C 15/04  
H04L 12/46

(21)Application number : 2001-104765

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 03.04.2001

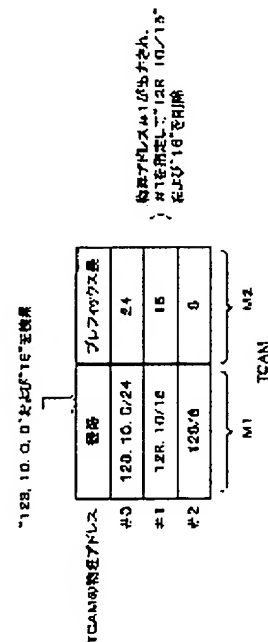
(72)Inventor : UGA MASANORI  
SHIOMOTO KOHEI

## (54) ASSOCIATIVE MEMORY AND METHOD FOR RETRIEVING PATH TABLE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an associative memory and a method for retrieving a path table that can prevent the capacity of the memory and the circuit scale from increasing even when the number of entries in a path table increases and adds/deletes the contents to the path table at a high-speed.

SOLUTION: When path information is added to the associative memory, information of a prefix length is stored to the associative memory in addition to the combination between an IP address and the prefix length. When desired path information is deleted from the associative memory, the path information is retrieved by using an IP address and a prefix length for a retrieval key to acquire a physical address storing the desired path information to be outputted, and the desired path information and the prefix length information corresponding thereto are deleted according to the physical address.



## LEGAL STATUS

[Date of request for examination] 20.10.2003

[Date of sending the examiner's decision of rejection] 21.02.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-305539

(P2002-305539A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>*</sup> (参考)
H 0 4 L 12/56	1 0 0	H 0 4 L 12/56	1 0 0 Z 5 K 0 3 0
G 1 1 C 15/04		G 1 1 C 15/04	C 5 K 0 3 3
	6 3 1		6 3 1 W
H 0 4 L 12/46		H 0 4 L 12/46	A
	1 0 0		1 0 0 R
審査請求 未請求 請求項の数 2 O L (全 6 頁)			

(21) 出願番号 特願2001-104765 (P2001-104765)

(22) 出願日 平成13年4月3日 (2001. 4. 3)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 宇賀 雅則

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(72) 発明者 塩本 公平

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(74) 代理人 100078237

弁理士 井出 直孝 (外1名)

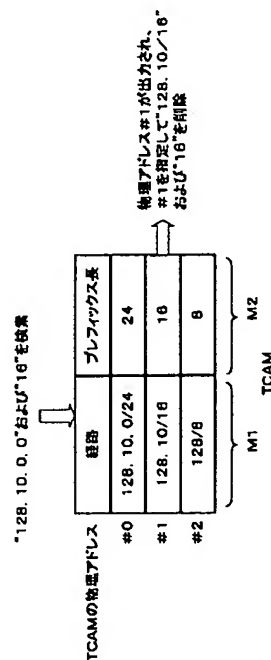
最終頁に続く

(54) 【発明の名称】 連想メモリおよび経路表検索方法

(57) 【要約】

【課題】 経路表のエントリ数が増大してもメモリおよび回路規模の増大を抑える。経路表の追加および削除を高速に行う。

【解決手段】 連想メモリに経路情報を追加するときには、IPアドレスとプレフィクス長との組み合わせにより表現された経路情報とともに別途当該プレフィクス長の情報を格納し、連想メモリから所望の経路情報を削除するときには、IPアドレスとプレフィクス長とを検索キーとして検索を行い、出力される所望の経路情報が格納されている物理アドレスを取得し、この物理アドレスにしたがって所望の経路情報およびこれに対応して格納されているプレフィクス長の情報の削除を行う。



## 【特許請求の範囲】

【請求項1】 IP(Internet Protocol)アドレスとプレフィクス長との組み合わせにより表現された複数の経路情報をそれぞれ格納する第一の格納領域を備え、この第一の格納領域には前記経路情報毎にそれぞれ物理アドレスが付与された連想メモリにおいて、前記第一の格納領域に対応して前記プレフィクス長の情報を別途格納する第二の格納領域が設けられ、前記第一の格納領域からIPアドレスを検索キーとして該当する経路情報を検索するとともに前記第二の格納領域からプレフィクス長を検索キーとして該当するプレフィクス長の情報を検索し検索された前記経路情報および前記プレフィクス長の情報が同一の物理アドレスの前記第一の格納領域およびこの第一の格納領域に対応して設けられた前記第二の格納領域に属するときにはその物理アドレスを検索結果として出力する手段を備えたことを特徴とする連想メモリ。

【請求項2】 請求項1記載の連想メモリに経路情報を追加するときには、IPアドレスとプレフィクス長との組み合わせにより表現された経路情報とともに別途当該プレフィクス長の情報を格納し、請求項1記載の連想メモリから所望の経路情報を削除するときには、

IPアドレスとプレフィクス長とを検索キーとして検索を行い、前記出力する手段から出力される所望の経路情報が格納されている前記第一の格納領域の物理アドレスを取得し、

この物理アドレスにしたがって前記第一の格納領域に格納されている所望の経路情報およびこれに対応して前記第二の格納領域に格納されているプレフィクス長の情報の削除を行うことを特徴とする経路表検索方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はIP(Internet Protocol)ルータ等のパケット転送装置に利用する。特に、パケット転送処理を行うにあたり、パケットヘッダ情報を元にパケットの転送経路を決定する際に検索するテーブルの検索方法に関する。

## 【0002】

【従来の技術】IPルータ等のパケット転送装置では、パケットヘッダに搭載された宛先アドレスを元に経路表を検索し、次の方路を決定する。経路表には経路と次の方路の関係を保持している。

【0003】インターネットではCIDR(Classless Inter Domain Routing)の機構が導入されており、経路表の経路情報は32ビットのIPアドレスとそれに対するプレフィクス長の組み合わせで表現される。経路表の経路情報は“IPアドレス/プレフィクス長”の形式であらわされる。経路のうち、プレフィクス長で指定された長さ以降のビットに関してはDon't Careであ

る。例えば、“129.131.175.129/32”は32ビット全てのビットがDon't Careでない経路であり、“129.60.83/24”は先頭の24ビットが有効な経路である。

【0004】パケットヘッダの宛先アドレスが“129.60.83.1”も“129.60.83.111”も同じ経路“129.60.83/24”に一致する。

【0005】経路表はパケットヘッダの宛先アドレスをキーとして用いて検索する。経路表を検索する際に、CIDRでは最長一致と呼ばれるテーブル検索規則に基づく。最長一致とはキーに用いられる宛先アドレスが最も長く一致するものを正解とするものである。例えば、経路表に経路情報“129.38.111/24”と経路情報“129.38/16”の二つの経路情報がある場合に、“129.38.111.2”という宛先アドレスを持つパケットが到着した場合は、経路情報“129.38.111/24”の方がより長い範囲で一致するので、それを正解とする。

【0006】このような最長一致検索を行う方法としてPatriciaと呼ばれるデータ構造で経路表を表現する手法が採られてきた。Patriciaとは経路表をツリー構造で表現するものである。ツリーの各ノードにはアドレスの参照ビット位置と経路情報が記載されており、宛先アドレスの参照ビット位置と経路情報の参照ビット位置が一致しているかどうかで経路情報の判定を行うものである。

【0007】図2に従来のPatriciaによる経路表の実現例を示す。Patriciaの検索時間はツリーの深さに依存し、ツリーの深さはIPアドレスの幅に依存する。IPv4アドレスでは最大33段になる。IPv6アドレスでは最大129段になる。メモリ参照を最大129段行くとパケット転送処理時間が増大する。図3は図2に示したPatriciaの対応表である。

【0008】最長一致による経路表検索を行う別の手段として連想メモリCAM(Content-Addressable-Memory)と呼ばれる素子を使う方法がある。CAMとはアドレスをキーとしてアクセスするのではなく、各番地に記録された値をキーとしてアクセスすることができる記憶素子である。各番地には“0”と“1”のバイナリ(Binary)の値だけでなく、“Don't Care”も使えるターナリー(Ternary)のものもあり、このようなターナリーの連想メモリ(TCAM)を用いることで高速な経路表の検索が可能となる。TCAMでは複数のものが同時にキーとして入力されたものに一致する場合は、最も若い番地にいるものが選ばれる。

【0009】図4はTCAMの原理を示す図であるが、図4に示すように、TCAMでプレフィクス長はマスクを用いて表現される。マスクビットが1の場合はプレフィクスの値は有効で、マスクビットが“0”の場合はブ

レフィクスの値はDon't Care扱いとなる。図4で例えば1番上のプレフィクスは上位4ビットが有効で下位2ビットはDon't Careとなる。

【0010】TCAMを用いて最長一致検索を行う場合はプレフィクス長が長い順番にTCAMの若番地に格納する必要がある。最低条件は同じプレフィクス部分を共有する経路同士はプレフィクス長が長いものがより若い番地に格納される必要がある。TCAMの格納領域をプレフィクス長毎に分割するのが簡便なやり方である。図5はTCAMを用いた最長一致検索を行うため経路をプレフィクス長毎に並べ替えて格納している様子を示す図である。"129.60.83.121/31"はプレフィクス長が"31"の領域に格納し、"129.60.83.121/30"はプレフィクス長が"30"の領域に格納する。

【0011】

【発明が解決しようとする課題】インターネットでは経路表に経路情報の追加削除が頻繁に行われる。このとき経路情報の削除時に問題が生じる。まずはTCAMの動作上の制約について二点あり、それを説明する。一点目はTCAMに格納されているデータを削除するときには、TCAMの物理アドレスを指定して削除する必要がある点である。二点目は"IPアドレス/プレフィクス長"の組である経路情報そのものを検索することができない点である。検索できるのはIPアドレスそのものであり、プレフィクス長まで意識した検索をすることができない。

【0012】図6はTCAMの動作の制約を示す図であるが、図6に示すように"128.10/16"そのものを検索することはできない。例えば、①"128.10/16"を削除する場合には物理アドレス#1を指定して削除する。このときに、②"128.10/16"そのものを検索できないが"128.10.0.0"の検索は可能である。そこで、"128.10/16"を削除したい場合に、適当なIPアドレスとして"128.10.0.0"を作成し探す案もあるが、"128.10.0.0"を検索すると、本例では"128.10.0/24"に一致してしまい、本当に削除すべき経路と一致しない可能性があるため、案としては採用することができない。

【0013】図7はTCAMを用いて経路情報検索を実現した場合に、経路情報を削除するための従来例を示す図である。削除したい経路情報があった場合にその経路情報が格納されているTCAMの物理アドレスを知る必要があるが、経路自体の検索ができないため、図7のように別途TCAMに格納されている経路情報と物理アドレスとの対応関係を、経路表を格納しているTCAMとは別のメモリを用いて格納し、かつ経路情報からTCAMのアドレスを検索する回路が必要である。

【0014】図8はインターネットの経路数が増大して

おり、現在10万以上の経路が存在することを示す図であるが、図8に示すように、経路表のエントリ数が10万以上ともなると、その別メモリも多く必要となる。なお、図8は横軸に年代をとり、縦軸に経路数をとる。

【0015】本発明は、このような背景に行われたものであって、経路表のエントリ数が増大してもメモリおよび回路規模の増大を抑えることができる連想メモリおよび経路表検索方法を提供することを目的とする。本発明は、経路表の追加および削除を高速に行うことができる連想メモリおよび経路表検索方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の第一の観点は、IPアドレスとプレフィクス長との組み合わせにより表現された複数の経路情報をそれぞれ格納する第一の格納領域を備え、この第一の格納領域には前記経路情報毎にそれぞれ物理アドレスが付与された連想メモリである。

【0017】ここで、本発明の特徴とするところは、前記第一の格納領域に対応して前記プレフィクス長の情報を別途格納する第二の格納領域が設けられ、前記第一の格納領域からIPアドレスを検索キーとして該当する経路情報を検索するとともに前記第二の格納領域からプレフィクス長を検索キーとして該当するプレフィクス長の情報を検索し検索された前記経路情報および前記プレフィクス長の情報が同一の物理アドレスの前記第一の格納領域およびこの第一の格納領域に対応して設けられた前記第二の格納領域に属するときにはその物理アドレスを検索結果として出力する手段を備えたところにある。

【0018】本発明の第二の観点は、経路表検索方法であって、本発明の特徴とするところは、本発明の連想メモリに経路情報を追加するときには、IPアドレスとプレフィクス長との組み合わせにより表現された経路情報とともに別途当該プレフィクス長の情報を格納し、本発明の連想メモリから所望の経路情報を削除するときには、IPアドレスとプレフィクス長とを検索キーとして検索を行い、前記出力する手段から出力される所望の経路情報が格納されている前記第一の格納領域の物理アドレスを取得し、この物理アドレスにしたがって前記第一の格納領域に格納されている所望の経路情報およびこれに対応して前記第二の格納領域に格納されているプレフィクス長の情報の削除を行うところにある。

【0019】すなわち、経路削除時には、削除すべき経路のDon't Care部分に適当な値を入れた経路情報とプレフィクス長の情報とをTCAMで検索する。TCAM内には経路情報とプレフィクス長の情報とを格納しているため、正しく削除する経路を選択できる。一致した場合に検索結果として、一致したデータが格納されていた物理アドレスを返却する特徴を持つTCAMを用いることで、削除すべき経路情報が格納されている物理アドレスがわかる。この物理アドレスを指定すること

でTCAMから削除することが可能となる。

【0020】これにより、経路表のエントリ数が増大してもメモリおよび回路規模の増大を抑えることができる。経路表の追加および削除を高速に行うことができる。

【0021】

【発明の実施の形態】本発明実施例の連想メモリおよび経路表検索方法を図1を参照して説明する。図1は本発明の連想メモリおよび経路表検索方法を説明するための図である。

【0022】本発明の第一の観点は、図1に示すように、IPアドレスとプレフィクス長との組み合わせにより表現された経路情報128、10、0/24、128、10/16、128/8をそれぞれ格納する格納領域M1を備え、この格納領域M1には前記経路情報毎にそれぞれ物理アドレス#0、#1、#2が付与された連想メモリである。

【0023】ここで、本発明の特徴とするところは、格納領域M1に対応して前記プレフィクス長の情報を別途格納する格納領域M2が設けられ、格納領域M1からIPアドレスを検索キーとして該当する経路情報を検索するとともに格納領域M2からプレフィクス長を検索キーとして該当するプレフィクス長の情報を検索し検索された前記経路情報および前記プレフィクス長の情報が同一の物理アドレスの格納領域M1およびこの格納領域M1に対応して設けられた格納領域M2に属するときにはその物理アドレスを検索結果として出力するところにある。

【0024】本発明の特徴は連想メモリの使用形態であり、連想メモリのハードウェア構成自体は、従来から知られている構造のものであるため、実施例におけるハードウェア構成の説明は行わない。

【0025】本発明の第二の観点は経路表検索方法であって、本発明の特徴とするところは、本発明の連想メモリに経路情報を追加するときには、IPアドレスとプレフィクス長との組み合わせにより表現された経路情報とともに別途当該プレフィクス長の情報を格納し、本発明の連想メモリから所望の経路情報を削除するときには、IPアドレスとプレフィクス長とを検索キーとして検索を行い、連想メモリから出力される所望の経路情報が格納されている格納領域M1の物理アドレスを取得し、この物理アドレスにしたがって格納領域M1に格納されている所望の経路情報およびこれに対応して格納領域M2に格納されているプレフィクス長の情報の削除を行うところにある。

【0026】経路表の検索については以下のとおり動作する。TCAMは検索対象ビットをマスクによって制限することが可能であり、宛先IPアドレスから方路を決定する通常の経路表の検索時には、TCAMに格納されている経路部分のみを検索対象とするマスクをかけ検索

を行う。

【0027】経路表に経路情報を追加する際には、経路情報と一緒にプレフィクス長の情報を格納する。経路表の経路情報を削除する際には2段階の処理を行う。まず始めに、TCAMに格納されている経路情報とプレフィクス長の情報を検索対象とするようにマスクを変更し、削除すべき経路のDon't Care部分に、例えばall0等なんでもよい適当な値を入れた経路情報とプレフィクス長の情報をTCAMで検索する。一致した場合に検索結果として、削除すべき経路情報が格納されている物理アドレスがわかる。次にこの物理アドレスを指定することでTCAMから削除することが可能となる。

【0028】図1の例では、IPアドレスとして格納領域M1から“128、10、0、0”を検索し、さらに、プレフィクス長として格納領域M2から“16”を検索する。その結果、物理アドレス#1の格納領域M1からIPアドレス“128、10、0、0”が検索され、物理アドレス#1の格納領域M2からプレフィクス長“16”が検索される。したがって連想メモリから物理アドレス#1が出力され、物理アドレス#1を指定してIPアドレスとプレフィクス長との組み合わせで表現された経路情報“128、10/16”およびプレフィクス長の情報“16”を削除する。

【0029】

【発明の効果】以上説明したように、本発明によれば、TCAM内に格納されている経路情報を削除するために必要なTCAM内の経路管理テーブルを実現するためのメモリと回路を削減することが可能であり、またTCAMを用いるため非常に高速に追加削除が可能となる。例えば、バトリシアツリーを使って経路管理を実現したとすると、IPv6の場合にはSSRAMが6個程度とバトリシアツリーを実現するための回路が必要となるがこれが削減できる。

【0030】これにより、経路表のエントリ数が増大してもメモリおよび回路規模の増大を抑えることができる。経路表の追加および削除を高速に行うことができる。

【図面の簡単な説明】

【図1】本発明の構成を示す図。

【図2】従来のPatriciaによる経路表の実現例を示す図。

【図3】従来のPatriciaによる経路表の対応表を示す図。

【図4】TCAMの原理を示す図。

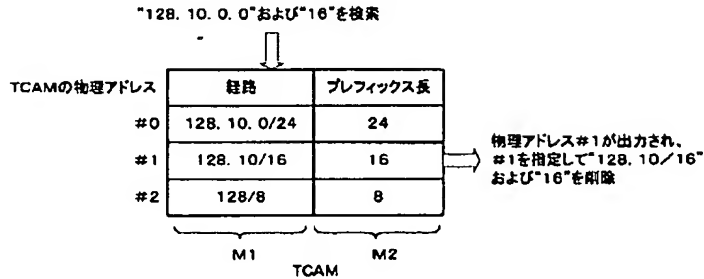
【図5】TCAMを用いた最長一致検索を行うため経路情報をプレフィクス長毎に並べ替えて格納している様子を示す図。

【図6】TCAMの動作の制約を示す図。

【図7】TCAMを用いて経路情報検索を実現した場合に経路情報を削除するための従来方式を示す図。

【図8】インターネットにおいて経路数が増大しており \* 【符号の説明】  
現在10万以上の経路が存在することを示す図。 \* M1、M2 格納領域

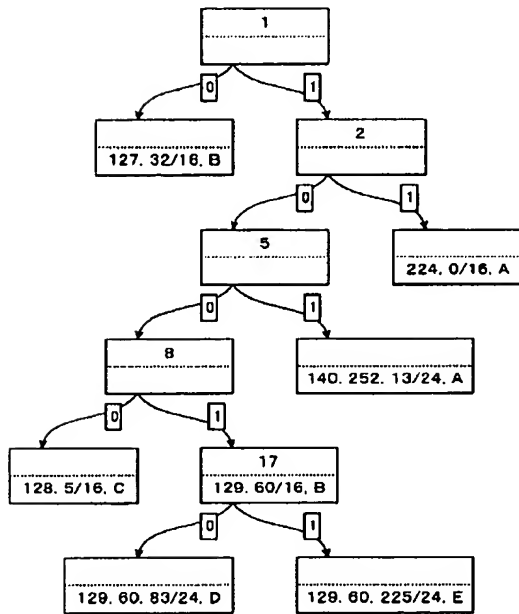
【図1】



【図3】

Address/mask bits	ノード
140. 252. 13/24	A
127. 32/16	B
128. 5/16	C
224. 0/16	A
129. 60. 83/24	D
129. 60. 225/24	E
128. 60/16	B

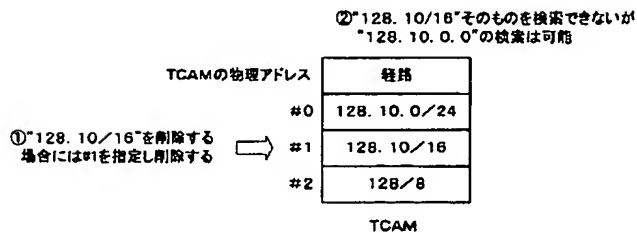
【図2】



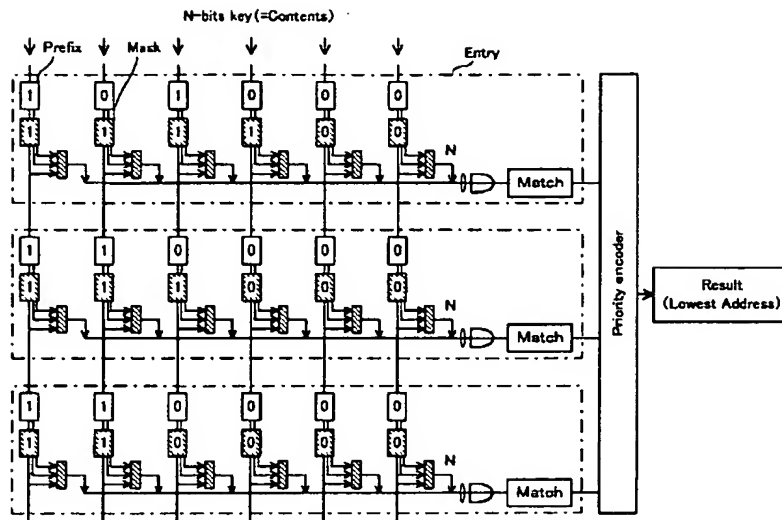
【図5】

Prefix length=32bits
31bits
30bits
29bits
⋮
1bits
Free space

【図6】



【図4】



【図7】

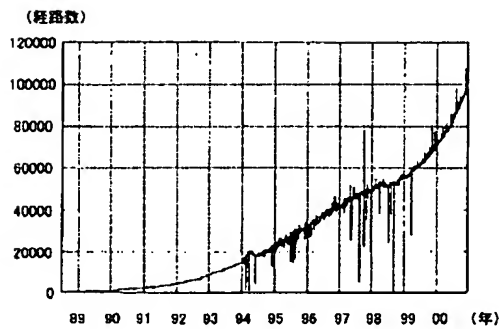
IPアドレス	プレフィックス長	TCAMの物理アドレス	TCAMの物理アドレス	経路
128. 10. 0. 0	24	#0	#0	128. 10. 0/24
128. 10. 0. 0	16	#1	#1	128. 10/16
128. 0. 0. 0	8	#2	#2	128/8

TCAM内の経路管理テーブル(SSRAM等)

#1を指定して  
削除する

TCAM

【図8】



フロントページの続き

Fターム(参考) 5K030 GA06 HA08 HD03 KA05 LB05  
5K033 AA02 AA04 DA05 DB18 EC04

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**